

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: September 9, 2003

Application Number: No. 2003-317299  
[ST.10/C]: [JP2003-317299]

Applicant(s): FUJITSU LIMITED

December 17, 2003

Commissioner,  
Patent Office                   Yasuo Imai (Seal)

Certificate No. 2003-3104764

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月 9日  
Date of Application:

出願番号 特願2003-317299  
Application Number:

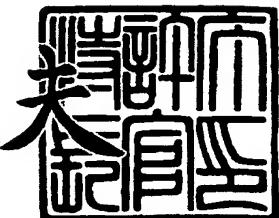
[ST. 10/C] : [JP 2003-317299]

出願人 富士通株式会社  
Applicant(s):

2003年12月17日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



【書類名】 特許願  
【整理番号】 0340069  
【提出日】 平成15年 9月 9日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H03M 1/00  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
内  
【氏名】 橋 大  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
内  
【氏名】 加藤 達夫  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
内  
【氏名】 布川 秀男  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100070150  
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイス  
タワー32階  
【弁理士】  
【氏名又は名称】 伊東 忠彦  
【電話番号】 03-5424-2511  
【手数料の表示】  
【予納台帳番号】 002989  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0114942

**【書類名】特許請求の範囲****【請求項1】**

第1の期間で入力アナログ電位をサンプリングしてホールドし、第2の期間でホールド状態の該入力アナログ電位と参照電位との大小関係を示す信号を出力するサンプル&ホールド回路と、

該サンプル&ホールド回路の出力を増幅する多段接続された複数の増幅器と、

該複数の増幅器の駆動タイミングを制御し該複数の増幅器の少なくとも1つを該第1の期間の途中から駆動開始する制御回路  
を含むことを特徴とするA D変換器。

**【請求項2】**

該複数の増幅器の各々について入出力を短絡するスイッチ回路を更に含み、該制御回路は該第1の期間中において該スイッチ回路を閉じて該入出力を短絡することを特徴とする請求項1記載のA D変換器。

**【請求項3】**

該制御回路は、該複数の増幅器のうちで該サンプル&ホールド回路の出力を直接に受け取る増幅器のみ該第1の期間の最初から駆動開始することを特徴とする請求項2記載のA D変換器。

**【請求項4】**

該制御回路は、該複数の増幅器のうち後段の増幅器ほど駆動開始タイミングを遅らせることを特徴とする請求項2記載のA D変換器。

**【請求項5】**

該サンプル&ホールド回路は、複数のコンデンサと複数のスイッチを含むことを特徴とする請求項1記載のA D変換器。

**【請求項6】**

該制御回路は該サンプル&ホールド回路を制御することにより、該第2の期間において該参照電位を変化させながら該大小関係を示す信号を逐次出力させることを特徴とする請求項5記載のA D変換器。

**【請求項7】**

該複数の増幅器はインバータ回路であることを特徴とする請求項1記載のA D変換器。

**【請求項8】**

該複数の増幅器は差動増幅回路であることを特徴とする請求項1記載のA D変換器。

**【請求項9】**

該複数の増幅器は該第1の期間において駆動状態になると内部を定常電流が流れることを特徴とする請求項1記載のA D変換器。

**【請求項10】**

第1の期間で入力アナログ電位をサンプリングし第2の期間で該入力アナログ電位に応じた信号を出力するサンプリング回路と、

該サンプリング回路の出力を増幅する多段接続された複数の増幅器と、

該複数の増幅器の少なくとも1つは該第1の期間のうちの後ろの一部の期間だけ電流を流す制御回路

を含むことを特徴とするA D変換器。

【書類名】明細書

【発明の名称】A D変換器

【技術分野】

【0001】

本発明は、一般にアナログ信号をデジタル信号に変換するA D変換器に関し、詳しくはリファレンス電位と入力電位との比較動作を逐次的に実行する逐次比較型A D変換器に関する。

【背景技術】

【0002】

逐次比較型A D変換器は、比較的簡単な回路構成で実現することができ、安価に製造できるCMOSプロセスとの整合性が高く、かつ比較的高速な変換時間を実現できる。このような逐次比較型A D変換器の構成例が、例えば特許文献1や特許文献2に示される。

【0003】

図1は、容量D A Cを用いた従来の逐次比較型A D変換器の例として4ビットA D変換器の構成を示す回路図である。図1に示す逐次比較型A D変換器は、特許文献2に開示されるものである。なお実際の逐次比較型A D変換器では、8から10ビットの精度が一般的だが、図示及び説明の便宜上、4ビットA D変換器を例として説明する。

【0004】

図1の逐次比較型A D変換器は、容量C1乃至C7、スイッチSW1及びSW2、NMOSトランジスタNM1乃至NM9、及びPMOSトランジスタPM1乃至PM3を含む。Vrefはリファレンス電位であり、Vinはアナログ入力端子に印加される入力アナログ電位である。またSPLはサンプリングの制御信号、CNTLは電流の制御信号、OUTは逐次比較型A D変換器の出力である。更に、容量D A Cの出力ノードDACOUT、逐次比較型A D変換器の内部ノード30乃至34、グラウンド端子GNDを示してある。

【0005】

図2は、図1の逐次比較型A D変換器の動作を説明するための図である。

【0006】

図2に示すように、A D変換動作開始前は、電流制御信号CNTLがHIGHであり、サンプリング制御信号SPLがLOWとなっている。電流制御信号CNTLがHIGHの状態では、NMOSトランジスタNM7乃至NM9が導通し、容量D A C出力ノードDACOUT並びに内部ノード32及び34がLOWとなる。その結果、NMOSトランジスタNM4乃至NM6が非導通状態となっている。

【0007】

A D変換動作を開始すると、まずアナログ信号をサンプリングするために、サンプリング制御信号SPLをHIGH、電流制御信号CNTLをLOWとする。電流制御信号CNTLをLOWとすることにより、NMOSトランジスタNM7乃至NM9が非導通となる。またサンプリング制御信号SPLをHIGHとすることで、NMOSトランジスタNM1乃至NM3が導通する。

【0008】

NM1がONすることで、ノードDACOUTの電位とノード31の電位とが等しくなる。PMOSトランジスタPM1とNMOSトランジスタNM4とはコンパレータ1段目のインバータを構成しており、その入出力を上記のように短絡することで、ノードDACOUTとノード31の電位はコンパレータ1段目の論理閾値(VTL)に設定される。

【0009】

同様にNM2がONとなることで、コンパレータ2段目(PMOSトランジスタPM2とNMOSトランジスタNM5)の入出力ノード32及び33が論理閾値VTLに設定される。またNM3がONとなることで、コンパレータ3段目(PMOSトランジスタPM3とNMOSトランジスタNM6)の入出力ノード34及びOUTが論理閾値VTLに設定される。このときPMOSトランジスタPM1乃至PM3並びにNMOSトランジスタ

NM4乃至NM6には、ゲートに電圧VTLが印加され、定常電流が流れる状態となる。

【0010】

このようにしてノードDACOUTの電位を論理閾値VTLに保った状態で、サンプリング容量C1乃至C5がスイッチSW1及びSW2を介してアナログ入力端子に接続され、入力電位Vinに充電される。

【0011】

サンプリング容量C1乃至C5とスイッチSW1は4ビットDACを構成する。ここでサンプリング容量C1及びC2の容量値をCxとすると、サンプリング容量C3が2Cx、サンプリング容量C4が4Cx、及びサンプリング容量C5が8Cxの容量値を有するように構成される。サンプリング容量C3乃至C5は相対精度を確保するために、サンプリング容量C1及びC2の単位容量Cxを例えば2個、4個、8個並列に接続することで実現されることが一般的である。

【0012】

サンプリング終了後に比較動作を実行し、最上位ビットから順番にデジタルデータを決定していく。このとき電流制御信号CNTL及びサンプリング制御信号SPLは共にLOWとなっている。

【0013】

具体的には、サンプリング容量C1乃至C5の一方のノードを、スイッチSW1及びSW2を制御することで、グラウンド電位或いはリファレンス電位Vrefの何れかに接続する。例えばサンプリング容量C1乃至C4をグラウンド電位に接続し、サンプリング容量C5をリファレンス電位Vrefに接続する。これによりノードDACOUTの電位は、 $V_{ref}/2 - V_{in} + V_{TL}$ となる。このノードDACOUTの電位が3段構成のコンパレータに入力されることで、アナログ入力電位Vinとリファレンス電位Vrefの1/2との大小関係が判定される。これにより最上位ビットを決定できる。

【0014】

同様にして、 $V_{ref}/4 - V_{in} + V_{TL}$ 或いは $3V_{ref}/4 - V_{in} + V_{TL}$ の電位をスイッチSW1及びSW2を制御することにより生成し、最上位から2番目のビットのデジタルデータを決定することができる。以下同様にして、上位から順番に下位のビットを決定していく。例えばサンプリング容量C1及びサンプリング容量C3乃至C5をグラウンド電位に接続し、サンプリング容量C2をリファレンス電位Vrefに接続すると、ノードDACOUTの電位は $V_{ref}/16 - V_{in} + V_{TL}$ となる。

【0015】

このようにして、総容量 $16Cx$ (C1乃至C5)に対して、1/16の大きさの容量Cxを単位として接続を切り替えることで、 $V_{ref}/16$ 刻みでノードDACOUTの電位を変化させることができる。これにより、4ビットのデジタルデータを決定することができる。

【特許文献1】特開2000-40964号公報

【特許文献2】特開平4-220016号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

上記のような逐次比較型AD変換器により、比較的簡単な回路構成で、高速且つ高分解能のAD変換を実現することができる。AD変換器等のアナログ回路に対する低電力化の要求はますます強くなっている。逐次比較型AD変換器の低電力化も強く望まれている。

【0017】

上記の逐次比較型AD変換器において、複数段のコンパレータは、容量DACの出力ノードDACOUTに現れる微弱な電位を所定の信号レベルまで増幅するために設けられる。これらの複数段のコンパレータには、図2に示すように、サンプリング期間であっても常時貫通電流が流れるので、サンプリング期間における電力消費が大きくなってしまう。

【0018】

以上を鑑みて、本発明は、サンプリング期間におけるコンパレータ部分の消費電力を削減した逐次比較型A D変換器を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明によるA D変換器は、第1の期間で入力アナログ電位をサンプリングしてホールドし、第2の期間でホールド状態の該入力アナログ電位と参照電位との大小関係を示す信号を出力するサンプル&ホールド回路と、該サンプル&ホールド回路の出力を増幅する多段接続された複数の増幅器と、該複数の増幅器の駆動タイミングを制御し該複数の増幅器の少なくとも1つを該第1の期間の途中から駆動開始する制御回路を含むことを特徴とする。

【発明の効果】

【0020】

上記のように本発明においては、逐次比較型A D変換器のコンパレータを複数段の増幅回路で構成し、それぞれの増幅回路の電流ON/OFFを制御するための制御回路を設ける。この制御回路の制御機能により、複数の増幅器の少なくとも1つを第1の期間の途中から駆動開始することで、例えばサンプル&ホールド回路の出力を受け取る1段目の増幅器ではサンプリング期間の全期間に渡り電流を流し、2段目以降の増幅器にはサンプリング期間の後の方の所定期間のみ電流を流す。これにより、サンプリング期間中にコンパレータで消費される平均電流を削減することができる。

【発明を実施するための最良の形態】

【0021】

以下において、本発明の実施例を添付の図面を用いて詳細に説明する。

【0022】

従来の逐次比較型A D変換器において、サンプリング中に各段のコンパレータに定常電流を流す目的は、コンパレータ（インバータ）の入出力の電位を論理閾値V TLに設定することで、その後の比較動作を可能とすることにある。またサンプリング期間中、ノードD AC OUTの電位を一定電位に維持しておかないと、サンプリング容量に正しい電位を記憶できなくなる。従って、サンプリング期間の全期間に渡って、ノードD AC OUTの電位をV TLに設定しておく必要がある。しかし現実の回路動作では、ノードD AC OUTの電位は完全には論理閾値V TLとはならず、実用上問題ない程度にV TLに近い値となればよい。

【0023】

従来の逐次比較型A D変換器を示す図1において、NMOSトランジスタNM4に電流を流している状態で、ノード32の電位が変動した場合、容量C6を介してノードD AC OUTに影響が現れる。同様に、ノード34の電位が変動した場合にも、容量C7及びC6を介してノードD AC OUTに影響が現れる。しかしながら例えば、サンプリング容量C1乃至C5の総容量が10pFであるとして、容量C6の値は0.1pF程度と小さいことが一般的なので、ノード32の電位変動がD AC OUTに与える影響は小さい。

【0024】

このようにサンプリング中にノード32の電位が変化したとしても、ノードD AC OUTの電位の理想値V TLからのずれが実用上問題ない程度であれば、A D変換器の動作としては問題ないことになる。

【0025】

本発明においては、逐次比較型A D変換器のコンパレータを複数段の増幅回路で構成し、それぞれの増幅回路の電流ON/OFFを制御するための制御回路を設ける。容量D ACの出力を受け取る1段目の増幅回路では、サンプリング期間の全期間に渡り電流を流し、2段目以降の増幅回路には、サンプリング期間の後の方の所定期間のみ電流を流す。これにより、サンプリング期間中にコンパレータで消費される平均電流を削減することができる。

【0026】

図3は、本発明による逐次比較型A D変換器の第1の実施例の構成を示す回路図である。

### 【0027】

図3の逐次比較型A D変換器は、容量C1乃至C7、スイッチSW1及びSW2、NMOSトランジスタNM1乃至NM3、NMOSトランジスタNM10乃至NM15、PMOSトランジスタPM4乃至PM9、及びインバータINV1乃至INV3を含む。V<sub>ref</sub>はリファレンス電位であり、V<sub>in</sub>はアナログ入力端子に印加される入力アナログ電位である。またSPLはサンプリングの制御信号、S1、S2、S3は電流の制御信号、OUTは逐次比較型A D変換器の出力である。更に、容量DACの出力ノードDACOUT、逐次比較型A D変換器の内部ノード30乃至34、グラウンド端子GNDを示してある。

### 【0028】

またS1、S2、及びS3は、それぞれコンパレータの第1段、第2段、及び第3段の電流の制御信号である。

### 【0029】

図4は、図3の逐次比較型A D変換器の動作を説明するための図である。

### 【0030】

図4に示すように、A D変換動作開始前は、電流制御信号S1乃至S3はLOWであり、サンプリング制御信号SPLはLOWとなっている。電流制御信号S1乃至S3がLOWの状態では、NMOSトランジスタNM13乃至NM15は非導通であり、第1段乃至第3段のコンパレータに電流は流れていません。

### 【0031】

A D変換動作を開始すると、まずアナログ信号をサンプリングするために、サンプリング制御信号SPLをHIGH、電流制御信号S1をHIGHとする。電流制御信号S1をHIGHにすることにより、NMOSトランジスタNM13及びPMOSトランジスタPM4が導通する。またサンプリング制御信号SPLをHIGHとすることで、NMOSトランジスタNM1乃至NM3が導通する。

### 【0032】

NM1がONすることで、ノードDACOUTの電位とノード31の電位とが等しくなる。PMOSトランジスタPM4及びPM7並びにNMOSトランジスタNM10及びNM13がコンパレータ1段目を構成しており、その入出力を上記のように短絡することで、ノードDACOUTとノード31の電位はコンパレータ1段目の論理閾値(VTL)に設定される。

### 【0033】

電流制御信号S2及びS3はこのときまだLOWである。従って、PMOSトランジスタPM5及びPM8並びにNMOSトランジスタNM11及びNM14からなるコンパレータ2段目には定常電流(貫通電流)は流れない。NMOSトランジスタNM2が導通することで、コンパレータ2段目の入出力ノード32及び33が短絡されて電位は等しくはなるが、その値が論理閾値VTLであることは保証されない。またPMOSトランジスタPM6及びPM9並びにNMOSトランジスタNM12及びNM15からなるコンパレータ3段目にも定常電流(貫通電流)は流れない。NMOSトランジスタNM3が導通することで、コンパレータ3段目の入出力ノード34及びOUTが短絡されて電位は等しくはなるが、その値が論理閾値VTLであることは保証されない。

### 【0034】

このようにサンプリングの初期の段階においては、電流制御信号S2及びS3をLOWに保っているので、コンパレータ2段目及びコンパレータ3段目に定常電流が流れることなく、従来の構成と比較して低消費電力とすることができる。

### 【0035】

上記のようにノードDACOUTの電位を論理閾値VTLに保った状態で、サンプリング容量C1乃至C5がスイッチSW1及びSW2を介してアナログ入力端子に接続され、



入力電位  $V_{in}$  に充電される。

#### 【0036】

サンプリング容量  $C_1$  乃至  $C_5$  とスイッチ  $SW_1$  は 4 ビット DAC を構成する。ここでサンプリング容量  $C_1$  及び  $C_2$  の容量値を  $C_x$  とすると、サンプリング容量  $C_3$  が  $2C_x$  、サンプリング容量  $C_4$  が  $4C_x$  、及びサンプリング容量  $C_5$  が  $8C_x$  の容量値を有するように構成される。サンプリング容量  $C_3$  乃至  $C_5$  は相対精度を確保するために、サンプリング容量  $C_1$  及び  $C_2$  の単位容量  $C_x$  を例えば 2 個、4 個、8 個並列に接続することで実現されることが一般的である。

#### 【0037】

サンプリング容量  $C_1$  乃至  $C_5$  の充電がある程度進行した時点で、コンパレータ 2 段目の電流制御信号  $S_2$  を HIGH にする。これにより NMOS トランジスタ  $NM14$  及び PMOS トランジスタ  $PM5$  が ON し、コンパレータ 2 段目には定常電流が流れはじめる。サンプリング制御信号  $SPL$  はサンプリングの期間中 HIGH に保たれるので、NMOS トランジスタ  $NM2$  は ON しており、ノード  $32$  及び  $33$  の電位はコンパレータ 2 段目の論理閾値  $VTL$  となる。

#### 【0038】

ここで電流制御信号  $S_2$  を LOW から HIGH に変化させたときに、ノード  $DACOUT$ において生じる電位変動について考える。まず電流制御信号  $S_2$  が LOW の状態においてはトランジスタ  $PM5$  及び  $NM14$  が OFF であり、ノード  $32$  の電位は  $Vdd/2$  程度の中間電位となっている。この状態から電流制御信号  $S_2$  が HIGH になると、ノード  $32$  の電位が論理閾値  $VTL$  に設定される。上記中間電位と論理閾値  $VTL$ との差は小さいので、この電位変化量を例えば  $500\text{mV}$  とする。この電位変化により、容量  $C_6$  からノード  $DACOUT$  に電荷が供給されて、ノード  $DACOUT$  の電位が変化する。容量  $C_6$  を  $0.1\text{pF}$  、サンプリング容量  $C_1$  乃至  $C_5$  の合計を  $10\text{pF}$  とすると、ノード  $32$  の電位が  $500\text{mV}$  変動したときのノード  $DACOUT$  の電位変動は  $0.1\text{pF}/10\text{pF} \times 500\text{mV} = 0.5\text{mV}$  と概算できる。このようにサンプリング期間の途中に電流制御信号  $S_2$  を HIGH に変化させても、ノード  $DACOUT$  に与える電位変動の影響は小さいことが分かる。アナログ入力電圧範囲を  $5\text{V}$  とし、AD 変換精度を 10 ビットとすると、最小ビットは  $4.9\text{mV}$  に対応するので、上記電圧変動  $0.5\text{mV}$  は十分に小さい値である。

#### 【0039】

なお電流制御信号  $S_2$  を HIGH に変化させるタイミングは、サンプリング期間の終了までに、各ノード  $DACOUT$  及び  $31$  乃至  $33$  の電位が最終目標値  $VTL$  からの必要な精度範囲内におさまるようなタイミングとすればよい。

#### 【0040】

コンパレータ 2 段目の電流制御信号  $S_2$  を HIGH にした後、同様にして、コンパレータ 3 段目の電流制御信号  $S_3$  を HIGH にする。これによりコンパレータ 3 段目に定常電流が流れはじめ、入出力ノード  $34$  及び  $OUT$  の電位がコンパレータ 3 段目の論理閾値  $VTL$  に設定される。

#### 【0041】

電流制御信号  $S_3$  を LOW から HIGH に変化させたときにノード  $34$  に生じる電圧変動は、2つの容量  $C_7$  及び  $C_6$  を介してノード  $DACOUT$  に伝えられる。従ってこのときノード  $DACOUT$  に生じる電位変動は、電流制御信号  $S_2$  を LOW から HIGH にした場合よりも更に小さい。また電流制御信号  $S_3$  を HIGH に変化させるタイミングは、サンプリング期間の終了までに、各ノード  $DACOUT$  及び  $31$  乃至  $34$  及び  $OUT$  の電位が最終目標値  $VTL$  からの必要な精度範囲内におさまるようなタイミングとすればよい。

#### 【0042】

このように本発明では、逐次比較型 AD 変換器のコンパレータを複数段の増幅回路で構成し、それぞれの増幅回路の電流 ON/OFF を制御するための制御回路を設ける。容量

DACの出力を受け取る1段目の增幅回路では、サンプリング期間の全期間に渡り電流を流し、2段目以降の増幅回路には、サンプリング期間の後の方の所定期間のみ電流を流す。これにより、サンプリング期間中にコンパレータで消費される平均電流を削減することができる。図4にコンパレータの合計電流が従来回路に比して削減される様子を示した。

#### 【0043】

各ノードD A C O U T 及び31乃至34及びO U T の電位が最終目標値V T Lからの必要な精度範囲内に近づいたタイミングで、サンプリング動作を終了して比較動作を開始する。この比較動作により、最上位ビットから順番にデジタルデータを決定していく。このとき電流制御信号S 1乃至S 3はH I G H、サンプリング制御信号S P LはL O Wとなっている。

#### 【0044】

具体的には、サンプリング容量C 1乃至C 5の一方のノードを、スイッチS W 1及びS W 2を制御することで、グラウンド電位或いはリファレンス電位V r e fの何れかに接続する。例えばサンプリング容量C 1乃至C 4をグラウンド電位に接続し、サンプリング容量C 5をリファレンス電位V r e fに接続する。これによりノードD A C O U T の電位は、 $V r e f / 2 - V i n + V T L$ となる。このノードD A C O U T の電位が3段構成のコンパレータに入力されることで、アナログ入力電位V i nとリファレンス電位V r e fの1/2との大小関係が判定される。これにより最上位ビットを決定できる。

#### 【0045】

同様にして、 $V r e f / 4 - V i n + V T L$ 或いは $3 V r e f / 4 - V i n + V T L$ の電位をスイッチS W 1及びS W 2を制御することにより生成し、最上位から2番目のビットのデジタルデータを決定することができる。以下同様にして、上位から順番に下位のビットを決定していく。例えばサンプリング容量C 1及びサンプリング容量C 3乃至C 5をグラウンド電位に接続し、サンプリング容量C 2をリファレンス電位V r e fに接続すると、ノードD A C O U T の電位は $V r e f / 16 - V i n + V T L$ となる。

#### 【0046】

このようにして、総容量 $16 C x$ (C 1乃至C 5)に対して、1/16の大きさの容量C xを単位として接続を切り替えることで、 $V r e f / 16$ 刻みでノードD A C O U T の電位を変化させることができる。これにより、4ビットのデジタルデータを決定することができる。

#### 【0047】

図5は、電流制御信号S 1乃至S 3を発生する電流制御信号発生回路の一例を示す回路図である。(a)が電流制御信号S 1を生成する回路部分、(b)が電流制御信号S 2を生成する回路部分、(c)が電流制御信号S 3を生成する回路部分を示す。

#### 【0048】

図5の電流制御信号発生回路は、リセット機能付きのDフリップフロップD F R 1乃至D F R 7、インバータI N V 4乃至I N V 11、NAND回路N A N D 1、及びバッファBUF 1及びBUF 2を含む。DフリップフロップD F R 1乃至D F R 7においては、端子RがH I G Hのときに非同期に出力QがL O Wとなり、端子C Kの立ち上がりで端子Dのデータが記憶される。図5の電流制御信号発生回路には、制御信号E N及びクロック信号C K I Nが入力される。また内部ノード70乃至84が、説明の便宜上示されている。

#### 【0049】

図6は、図5の電流制御信号発生回路の動作を説明するための信号タイミング図である。

#### 【0050】

クロック信号C K I Nの周期は120n s、サンプリング期間は1800n s、比較期間は1200n sであるとして説明する。サンプリング制御信号S P Lは図6に示すようなタイミングで発生されるものとする。クロック信号C K I Nの波形の上の数字はクロック立ち上がりの回数を示している。サンプリング期間1800n sはクロック信号C K I Nの15周期に相当し、比較期間1200n sはクロック信号C K I Nの10周期に相当

する。従って、外部から入力されるクロック信号CKINのクロックをカウントすることで、サンプリング期間及び比較期間を所望の長さに設定できる。

#### 【0051】

図5のDフリップフロップDFR2乃至DFR5及びインバータINV6乃至INV9は分周回路を構成している。制御信号ENは変換動作を示す信号であり、この信号がHIGHのときA/D変換動作が実行される。電流制御信号S1は、図4に示すように変換動作の期間全体にわたってHIGHを維持する信号であるので、この制御信号ENをバッファBUF1を介して電流制御信号S1として出力すればよい。

#### 【0052】

図6において、クロック信号CKINの1クロック目の立ち上がりで制御信号ENがHIGHとなる。それ以前のENがLOWの状態では、ノード70はHIGHであり、DフリップフロップDFR1の出力73はLとなっている。従って、ノード75はHIGHであり、DフリップフロップDFR2乃至DFR7の出力77乃至80並びにS2及びS3はLOWとなっている。

#### 【0053】

制御信号ENがHIGHになると電流制御信号S1がHIGHになると共に、ノード70がLOW、ノード72がHIGHとなる。その後クロック信号CKINが立ち下がると、ノード71が立ち上がり、DフリップフロップDFR1はノード72のHIGHを記憶する。その結果ノード73がHIGHとなり、ノード75はLOWとなる。これによりDフリップフロップDFR2乃至DFR7のリセット状態が解除される。クロック信号CKINの次の立ち上がりで、ノード81のHIGHデータがDFR2に記憶され、ノード77がHIGH、ノード81がLOWとなる。ノード81はクロック信号CKINの立ち上がりに同期して値が変化し、クロック信号CKINを1/2分周した信号となる。

#### 【0054】

同様に、ノード82は、ノード81の立ち上がりに同期して値が変化し、ノード81の信号を1/2分周した信号になる。またノード83は、ノード82の立ち上がりに同期して値が変化し、ノード82の信号を1/2分周した信号になる。またノード83は、ノード82の立ち上がりに同期して値が変化し、ノード82の信号を1/2分周した信号になる。またノード84は、ノード83の立ち上がりに同期して値が変化し、ノード83の信号を1/2分周した信号になる。

#### 【0055】

このようにクロック信号CKINを分周してカウントした信号をノード81乃至84に生成し、それらのうちから所望のタイミングの信号を選び出すことで、所望のタイミングの電流制御信号S2及びS3を生成することができる。図5及び図6の例では、9クロック目の立ち上がりに電流制御信号S2をHIGHとし、13クロック目の立ち上がりに電流制御信号S3をHIGHとする回路構成及び動作を示している。

#### 【0056】

図7は、本発明の第2の実施例によるコンパレータ部分の構成を示す回路図である。また図8は、図7の回路の動作を説明するためのタイミング図である。

#### 【0057】

図3に示す第1の実施例の構成においては、PMOSトランジスタとNMOSトランジスタとをコンパレータ各段の増幅器（インバータ）の電源電位側とグラウンド電位側に設けることで電流制御を行っていた。それに対して図7に示す第2の実施例においては、コンパレータ各段の増幅器（インバータ）を構成するトランジスタのゲート電位を制御することで、増幅器に流れる電流の制御を行う。

#### 【0058】

図7において、サンプリングの制御信号SPL1、SPL2、及びSPL3は、それぞれ独立にNMOSトランジスタNM1乃至3を制御する。これにより、コンパレータの各段に対して、独立に入出力短絡の制御を行うことができる。また電流制御信号S1乃至S3は、インバータINV1乃至INV3を介して、それぞれ独立にNMOSトランジスタ



NM16乃至NM18のON/OFFを制御する。電流制御信号S1乃至S3がLOWの場合にNMOSトランジスタNM16乃至NM18が導通し、それぞれ対応するコンパレータ各段の増幅器において、NMOSトランジスタNM4乃至NM6がOFFとなる。従って、増幅器に定常電流が流れない。

#### 【0059】

これらの制御機能により、コンパレータの各段に対して、独立に入出力短絡及び定常電流の制御を行うことができる。

#### 【0060】

図8に示すように、サンプリング期間の開始と同時に、コンパレータ1段目に対するサンプリング制御信号SPL1と電流制御信号S1とが同時にHIGHになる。サンプリング期間が終了するタイミングでサンプリング制御信号SPL1はLOWとなるが、電流制御信号S1は比較期間が終了するまでHIGHを維持する。サンプリング期間の途中で、コンパレータ2段目に対するサンプリング制御信号SPL2と電流制御信号S2とが同時にHIGHになる。サンプリング期間が終了するタイミングでサンプリング制御信号SPL2はLOWとなるが、電流制御信号S2は比較期間が終了するまでHIGHを維持する。サンプリング期間の途中でサンプリング制御信号SPL2と電流制御信号S2とが同時にHIGHになった更にその後、コンパレータ3段目に対するサンプリング制御信号SPL3と電流制御信号S3とが同時にHIGHになる。サンプリング期間が終了するタイミングでサンプリング制御信号SPL3はLOWとなるが、電流制御信号S3は比較期間が終了するまでHIGHを維持する。

#### 【0061】

サンプリング期間中に電流制御信号S2をLOWからHIGHに変化させたときに、ノードDACOUTにおいて生じる電位変動について考える。まず電流制御信号S2がLOWの状態においてはNMOSトランジスタNM17がONであり、ノード32の電位はLOWとなっている。この状態から電流制御信号S2がHIGHになると、ノード32の電位が論理閾値VTLに設定され、例えば2500mV程度電位が上昇することになる。この電位変化により、容量C6からノードDACOUTに電荷が供給されて、ノードDACOUTの電位が変化する。容量C6を0.1pF、サンプリング容量C1乃至C5の合計を10pFとすると、ノード32の電位が2500mV変動したときのノードDACOUTの電位変動は $0.1\text{pF}/10\text{pF} \times 2500\text{mV} = 2.5\text{mV}$ と概算できる。このようにサンプリング期間の途中に電流制御信号S2をHIGHに変化させても、ノードDACOUTに与える電位変動の影響は小さいことが分かる。アナログ入力電圧範囲を5Vとし、AD変換精度を10ビットとすると、最小ビットは4.9mVに対応するので、上記電圧変動2.5mVは十分に小さい値である。

#### 【0062】

なおサンプリング期間中に電流制御信号S3をLOWからHIGHに変化させたときにノードDACOUTにおいて生じる電位変動は、電流制御信号S2をLOWからHIGHに変化させたときに生じる電位変動よりも更に小さい。

#### 【0063】

以上、実施例に基づいて本発明による逐次比較型AD変換器の動作を説明したが、コンパレータの具体的な回路構成は図3や図7の構成に限るものではなく、チョッパ型の多段コンパレータであれば同様にして本発明を適用することができる。

#### 【0064】

図9は、本発明による逐次比較型AD変換器の原理構成を示すブロック図である。

#### 【0065】

図9の逐次比較型AD変換器は、サンプル&ホールド回路（局部DAC回路）100、制御回路101、増幅器AMP1乃至AMP3、及びスイッチSW3乃至SW5を含む。サンプル&ホールド回路100は、制御回路101の制御の下で動作し、サンプリング期間において入力電位Vinをサンプル&ホールドし、比較期間において入力電位Vinと参照電位とを比較判定するための判定対象電位を生成する。また制御回路101は、サン

プリング信号SPLによりスイッチSW3乃至SW5の開閉を制御する。スイッチSW3乃至SW5を閉じることにより、各増幅器AMP1乃至AMP3の入出力が短絡される。また制御回路101は、電流制御信号S1乃至S3により、それぞれ対応する増幅器AMP1乃至AMP3の動作／非動作を制御する。入出力が短絡された状態で増幅器が駆動されると、その入出力ノードの電位は当該増幅器の論理閾値に設定される。このとき増幅器は定常電流（貫通電流）が流れる状態となる。

#### 【0066】

本発明においては、制御回路101がコンパレータ2段目の増幅器AMP2及びコンパレータ3段目の増幅器AMP3の駆動期間を制御する。これにより、増幅器AMP2及び増幅器AMP3は、サンプリング期間の全期間ではなく後の方の一部の期間のみ駆動することになり、全増幅器に流れる合計の定常電流を削減することができる。

#### 【0067】

図10は、図9の逐次比較型AD変換器の変形例を示すブロック図である。

#### 【0068】

図10の逐次比較型AD変換器は、サンプル&ホールド回路（局部DAC回路）100A、制御回路101A、差動増幅器AMP4乃至AMP6、及びスイッチSW3乃至SW8を含む。

#### 【0069】

図9ではインバータである増幅器を多段に接続してコンパレータを構成しているが、図10の逐次比較型AD変換器においては、差動増幅器AMP4乃至AMP6を多段に接続してコンパレータを構成している。2つの差動入力と2つの差動出力を短絡するために、差動増幅器AMP4乃至AMP6の各々について2つのスイッチ回路が設けられている。制御回路101がコンパレータ2段目の増幅器AMP5及びコンパレータ3段目の増幅器AMP6の駆動期間を制御する。これにより図9の構成の場合と同様に、増幅器AMP5及び増幅器AMP6は、サンプリング期間の全期間ではなく後の方の一部の期間のみ駆動することになり、全増幅器に流れる合計の定常電流を削減することができる。

#### 【0070】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

#### 【図面の簡単な説明】

#### 【0071】

【図1】従来の逐次比較型AD変換器の例として4ビットAD変換器の構成を示す回路図である。

【図2】図1の逐次比較型AD変換器の動作を説明するための図である。

【図3】本発明による逐次比較型AD変換器の第1の実施例の構成を示す回路図である。

【図4】図3の逐次比較型AD変換器の動作を説明するための図である。

【図5】電流制御信号を発生する電流制御信号発生回路の一例を示す回路図である。

【図6】図5の電流制御信号発生回路の動作を説明するための信号タイミング図である。

【図7】本発明の第2の実施例によるコンパレータ部分の構成を示す回路図である。

【図8】図7の回路の動作を説明するためのタイミング図である。

【図9】本発明による逐次比較型AD変換器の原理構成を示すブロック図である。

【図10】図9の逐次比較型AD変換器の変形例を示すブロック図である。

#### 【符号の説明】

#### 【0072】

C1-C7 容量

SW1、SW2 スイッチ

NM1-NM3 NMOSトランジスタ

NM10-NM15 NMOSトランジスタ

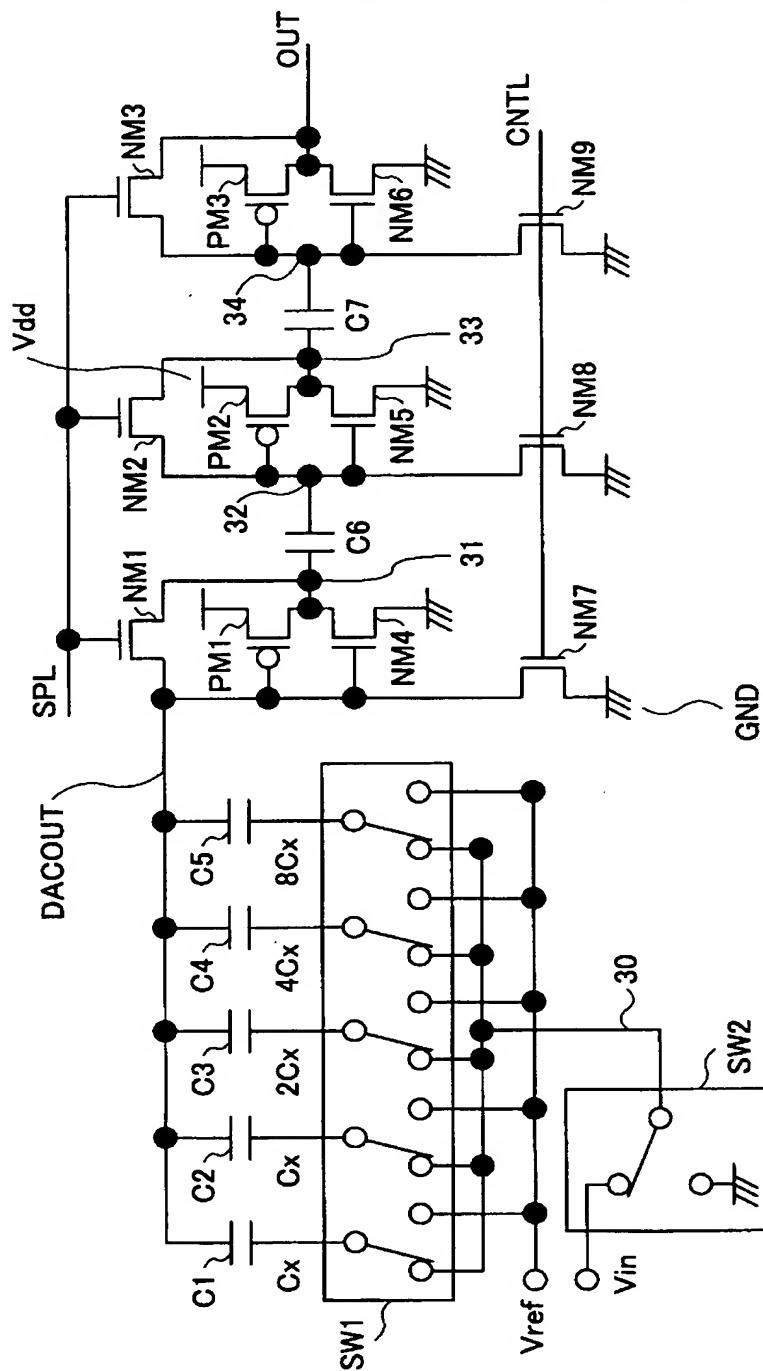
PM4 - PM9 PMOSトランジスタ  
INV1 - INV3 インバータ

【書類名】 図面

【図 1】

AREN'T FOX PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 100353-00183  
 Serial No.: New Application Filed: February 10, 2004  
 Inventor: TACHIBANA et al

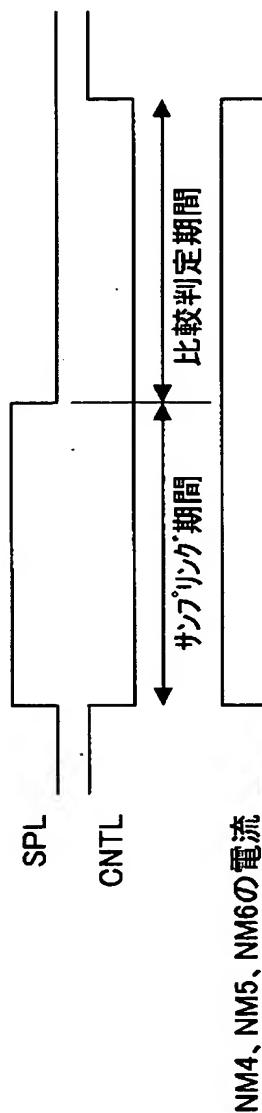
従来の逐次比較型 A/D 変換器の例として  
 4 ピット A/D 変換器の構成を示す回路図



ARENT FOX PLLC  
1050 Connecticut Avenue, N.W., Suite 400  
Washington, D.C. 20036-5339  
Docket No. 100353-00183  
Serial No.: New Application Filed: February 10, 2004  
Inventor: TACHIBANA et al

【図 2】

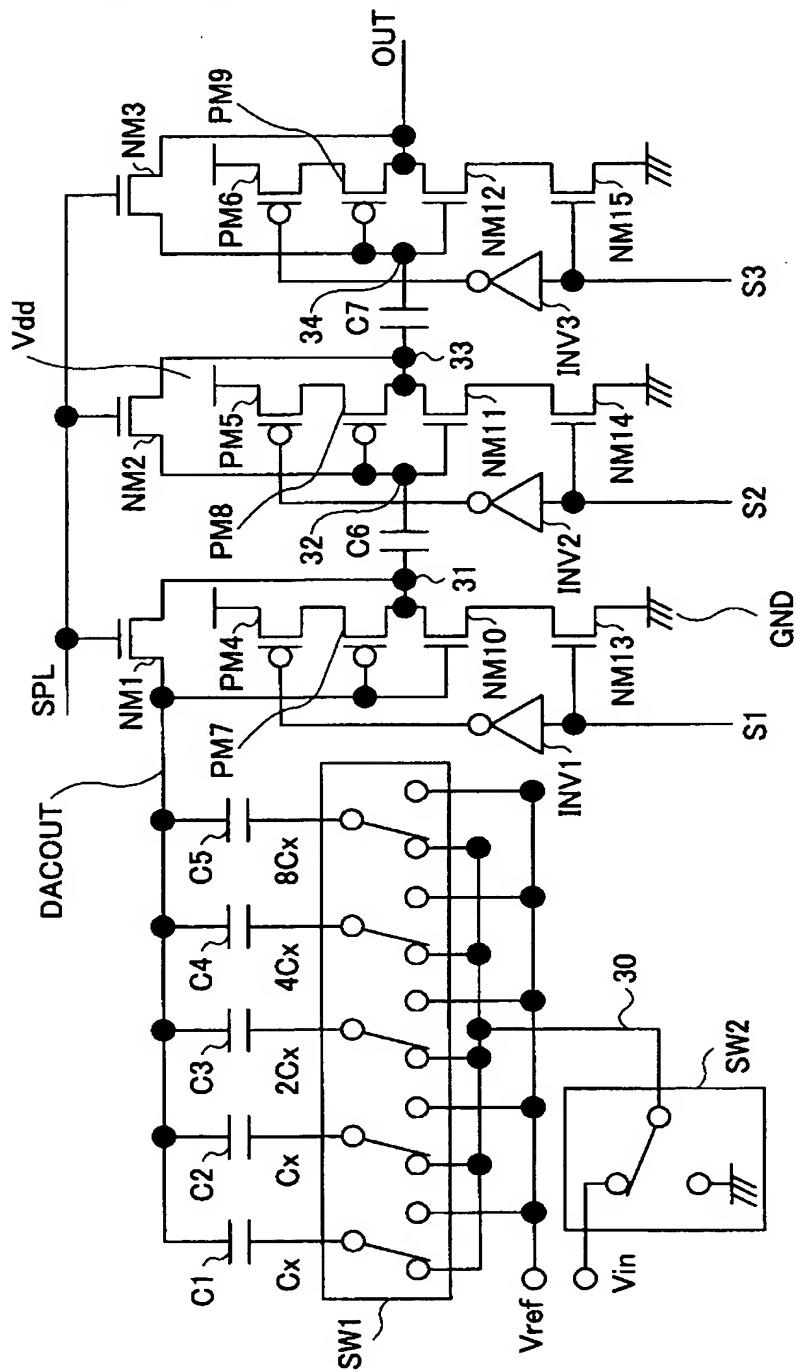
図 1 の逐次比較式ハロ变换器の動作を説明するための図



【図 3】

AREN'T FOX PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 100353-00183  
 Serial No.: New Application Filed: February 10, 2004  
 Inventor: TACHIBANA et al

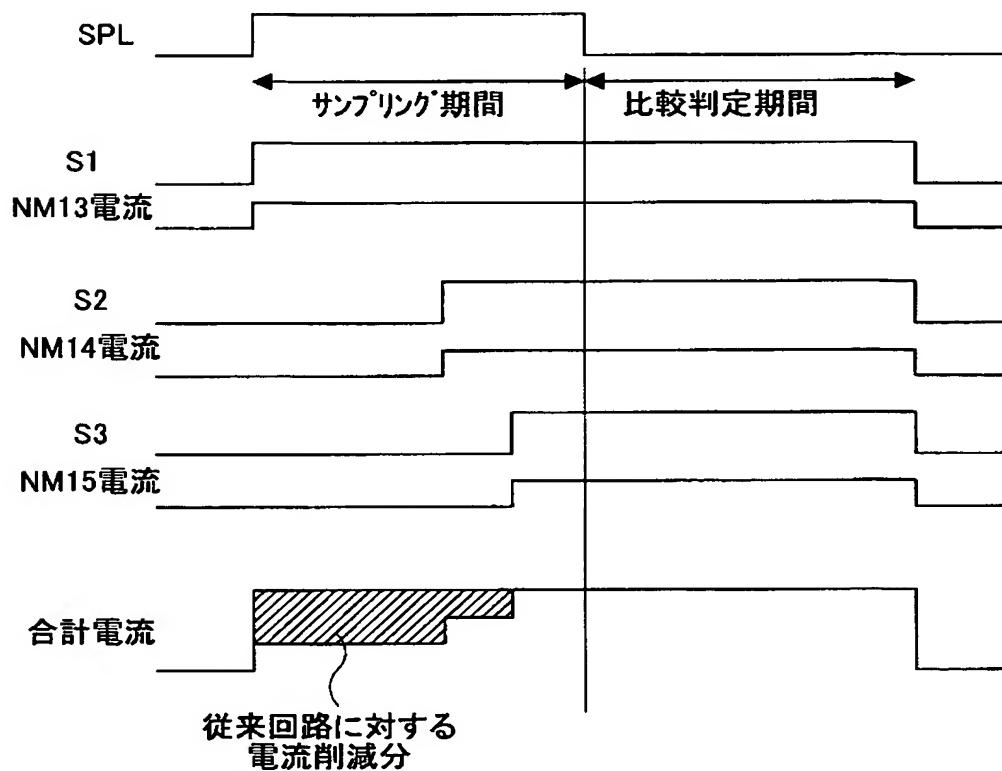
本発明による逐次比較型A/D変換器  
の第1の実施例の構成を示す回路図



【図 4】

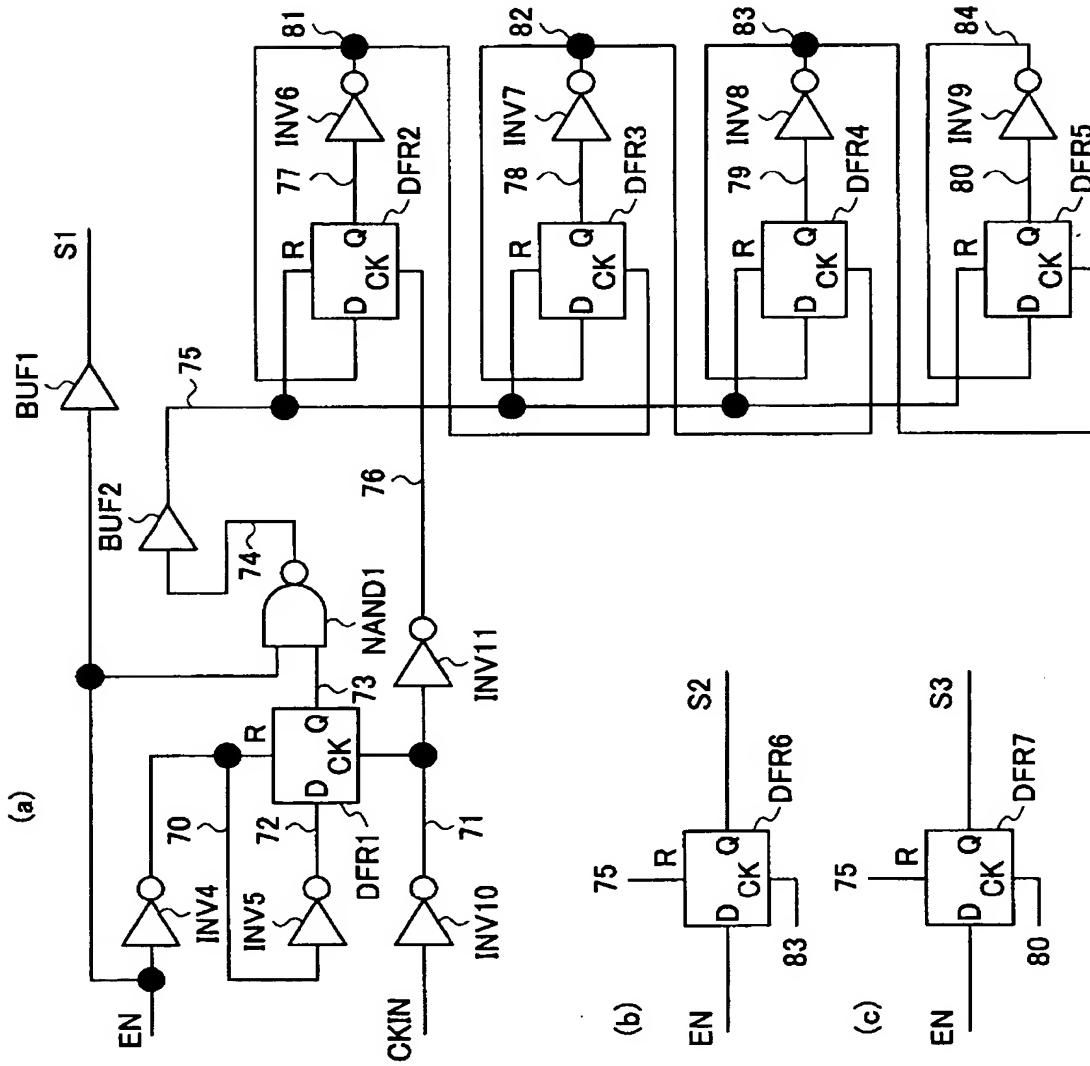
ARENT FOX PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 100353-00183  
 Serial No.: New Application Filed: February 10, 2004  
 Inventor: TACHIBANA et al

図 3 の逐次比較空ヘリテクノロジの動作と記載する回路図



【図 5】

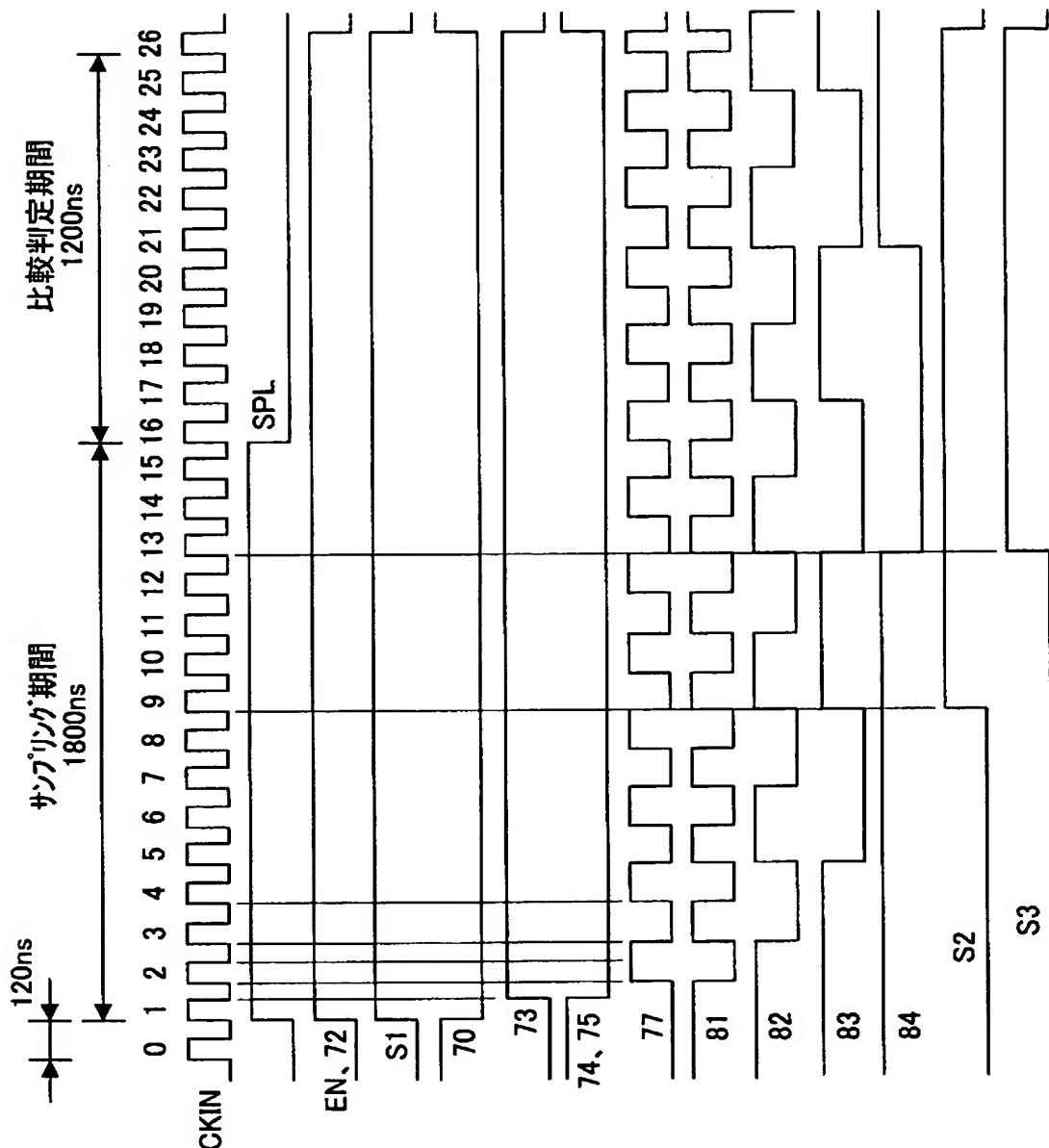
信号発生回路の一例を示す回路図



【図 6】

AREN'T FOX PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 100353-00183  
 Serial No.: New Application Filed: February 10, 2004  
 Inventor: TACHIBANA et al

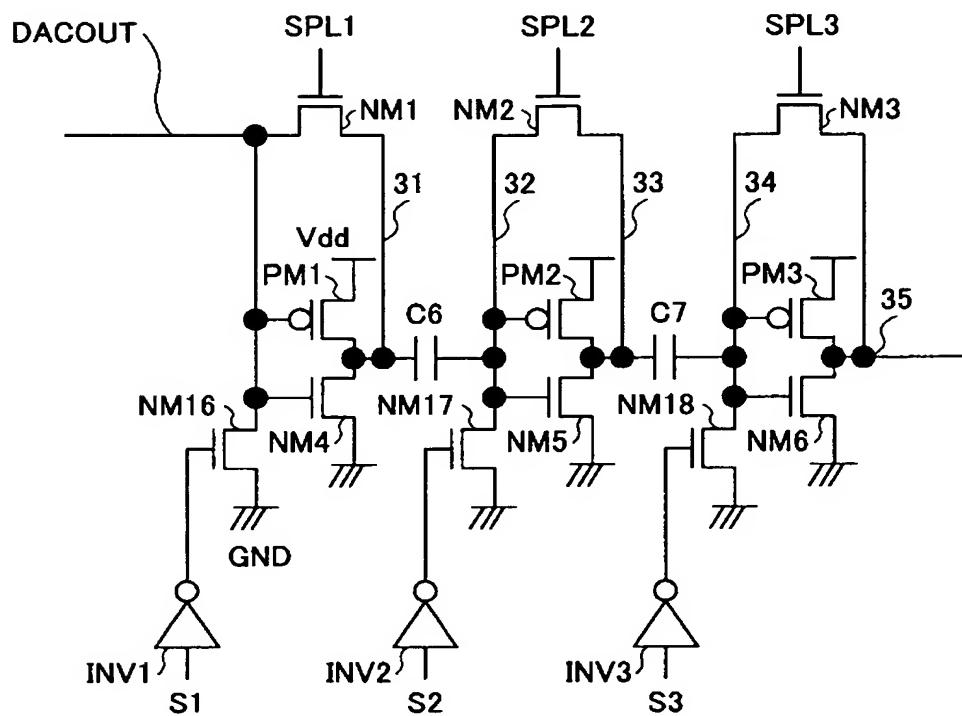
図6の電気回路と光エレメントを説明するための信号タイミング図



【図 7】

ARENT FOX PLLC  
1050 Connecticut Avenue, N.W., Suite 400  
Washington, D.C. 20036-5339  
Docket No. 100353-00183  
Serial No.: New Application Filed: February 10, 2004  
Inventor: TACHIBANA et al

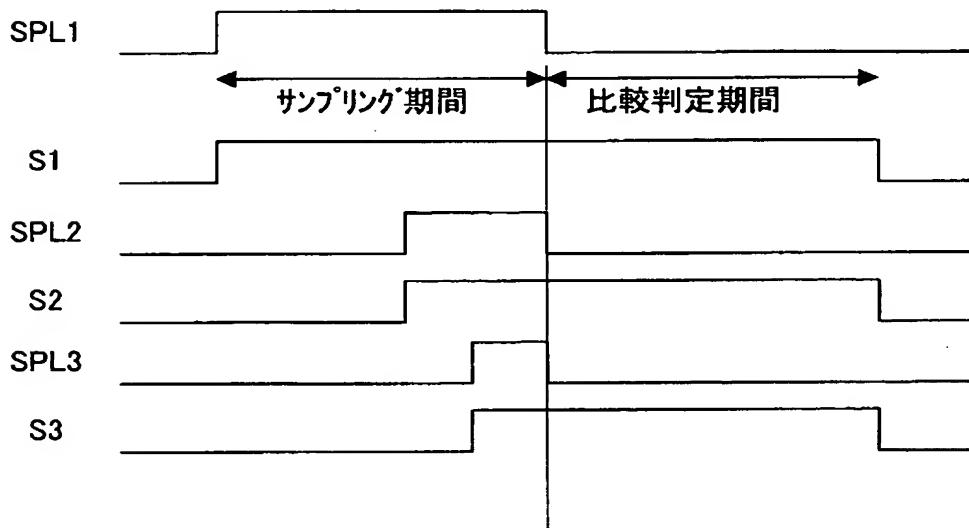
コンパレータ部分の構成を示す回路図



【図 8】

ARENT FOX PLLC  
1050 Connecticut Avenue, N.W., Suite 400  
Washington, D.C. 20036-5339  
Docket No. 100353-00183  
Serial No.: New Application Filed: February 10, 2004  
Inventor: TACHIBANA et al

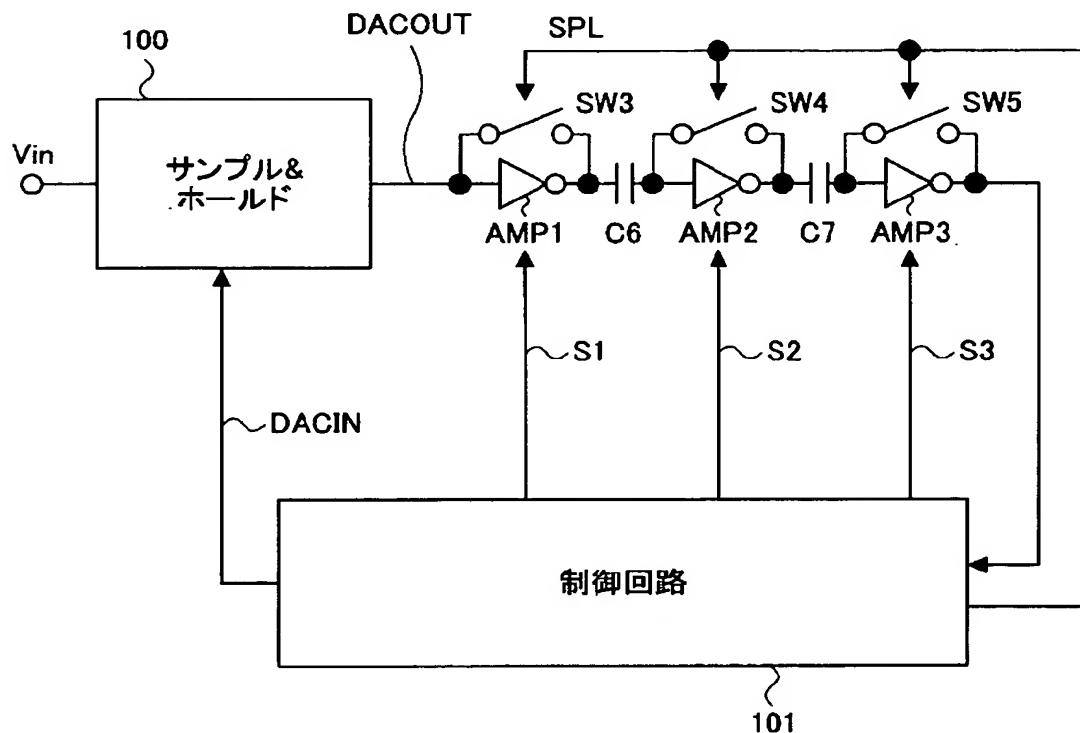
図 7 の回路構成と動作するためのタイミング図



【図 9】

ARENT FOX PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 100353-00183  
 Serial No.: New Application Filed: February 10, 2004  
 Inventor: TACHIBANA et al

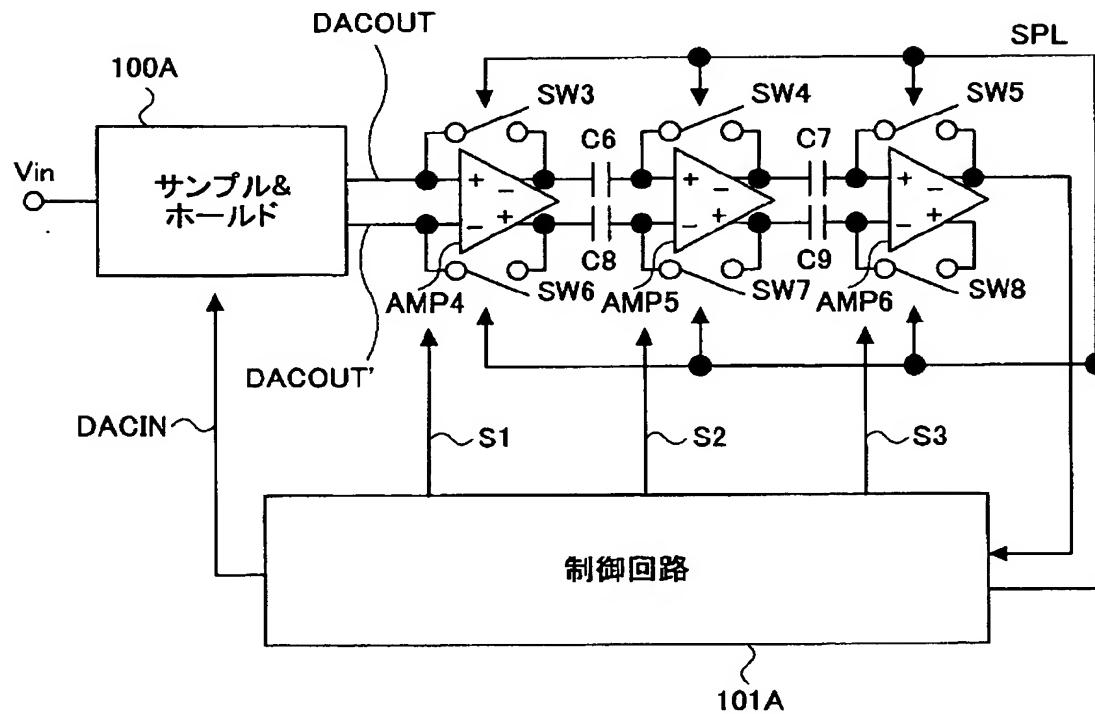
本発明による逐次比較型 A/D 変換器の原理構成を示すノロック図



【図 10】

AARENT FOX PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 100353-00183  
 Serial No.: New Application Filed: February 10, 2004  
 Inventor: TACHIBANA et al

図 9 の逐次比較型ハーフオーバー・オーバー



【書類名】要約書

【要約】

【課題】本発明は、サンプリング期間におけるコンパレータ部分の消費電力を削減した逐次比較型A/D変換器を提供することを目的とする。

【解決手段】A/D変換器は、第1の期間で入力アナログ電位をサンプリングしてホールドし、第2の期間でホールド状態の入力アナログ電位と参照電位との大小関係を示す信号を出力するサンプル&ホールド回路と、サンプル&ホールド回路の出力を増幅する多段接続された複数の増幅器と、複数の増幅器の駆動タイミングを制御し複数の増幅器の少なくとも1つを第1の期間の途中から駆動開始する制御回路を含むことを特徴とする。

【選択図】図9

特願 2003-317299

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社